

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-326856

(43)Date of publication of application : 22.11.2001

(51)Int.Cl.

H04N 5/335  
H01L 27/146  
H04N 5/225

(21)Application number : 2000-143674

(71)Applicant : CANON INC

(22)Date of filing : 16.05.2000

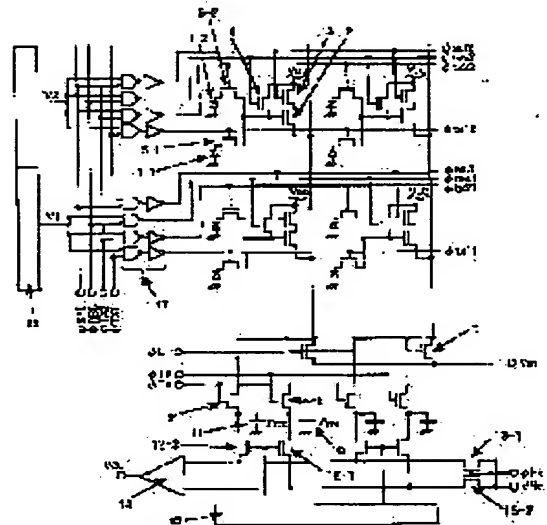
(72)Inventor : KOUCHI TETSUNOBU

## (54) SOLID-STATE IMAGE PICKUP DEVICE AND SOLID-STATE IMAGE PICKUP SYSTEM USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a solid-state image pickup device that realizes reduced peripheral circuits.

SOLUTION: The solid-state image pickup device consists of a plurality of pixel blocks each having photoelectric conversion elements 1-1, 1-2, transfer switches 5-1, 5-2 whose one-side terminals are connected to the respective photoelectric conversion elements, a signal input section in commonly connected to the other-side terminals of the transfer switches, and an amplifier section 2 connected to the signal input section. The device is characterized in providing a scanning means 16 for outputting a scanning clock for every pixel block.



## LEGAL STATUS

[Date of request for examination] 26.11.2001

[Date of sending the examiner's decision of rejection] 17.08.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3658278

[Date of registration] 18.03.2005

[Number of appeal against examiner's decision of rejection] 2004-19259

[Date of requesting appeal against examiner's decision of rejection] 16.09.2004

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-326856

(P2001-326856A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 4 N 5/335		H 0 4 N 5/335	E 4 M 1 1 8
H 0 1 L 27/146		5/225	D 5 C 0 2 2
H 0 4 N 5/225		H 0 1 L 27/14	A 5 C 0 2 4

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21) 出願番号 特願2000-143674(P2000-143674)

(22) 出願日 平成12年5月16日 (2000. 5. 16)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 光地 哲伸

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

Fターム(参考) 4M118 AA10 AB01 BA06 BA14 CA02

DC07 FA06 FA33 FA42

5C022 AA00 AB37 AC42 AC54 AC56

AC69

5C024 CX00 CX04 GX03 GY31 GY37

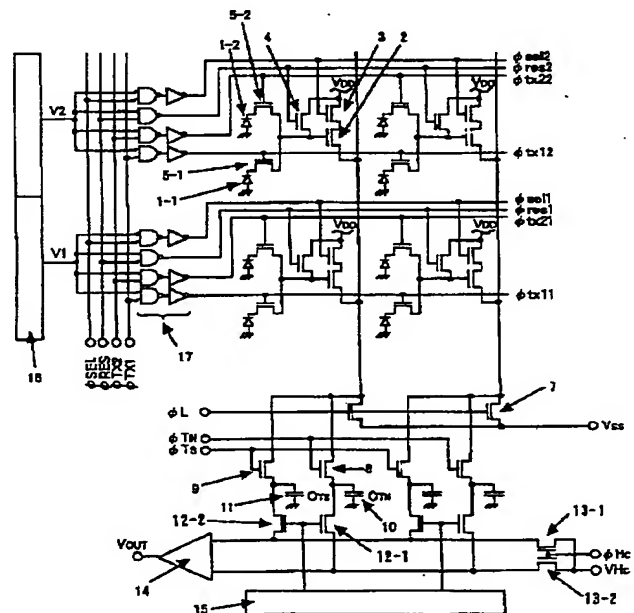
GZ02 HX28 HX29

(54) 【発明の名称】 固体撮像装置およびそれを用いた固体撮像システム

(57) 【要約】

【課題】 周辺回路を縮小した固体撮像装置を実現する。

【解決手段】 複数の光電変換素子1-1、1-2と、それぞれの光電変換素子に一端が接続された複数の転送スイッチ5-1、5-2と、複数の転送スイッチのもう一端に共通接続された信号入力部と、信号入力部に接続された増幅部2とを有する画素ブロックを複数配置してなる固体撮像装置において、画素ブロックごとに走査クロックを出力する走査手段16を有することを特徴とする。



FPC4-0451  
CCWD-HP  
05.5.10  
SEARCH REPORT

## 【特許請求の範囲】

【請求項1】 複数の光電変換素子と、それぞれの光電変換素子に一端が接続された複数の転送スイッチと、該複数の転送スイッチのもう一端に共通接続された信号入力部と、該信号入力部に接続された増幅部とを有する画素ブロックを複数配置してなる固体撮像装置において、前記画素ブロックごとに走査クロックを出力する走査手段を有することを特徴とする固体撮像装置。

【請求項2】 前記走査手段がシフトレジスタであることを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記走査手段がデコーダであることを特徴とする請求項1記載の固体撮像装置。

【請求項4】 前記画素ブロック内の複数の転送スイッチに対応する複数の転送クロックが入力され、前記走査手段から出力される走査クロックと前記複数の転送クロックをそれぞれ演算処理する演算処理手段を有し、演算処理した信号を前記複数の転送スイッチを駆動するクロックとして供給することを特徴とする請求項1記載の固体撮像装置。

【請求項5】 一つの転送クロック入力を前記画素ブロック内の複数の転送スイッチに対応する複数の転送クロック入力に変換して前記演算処理手段に入力するデコーダを有することを特徴とする請求項4記載の固体撮像装置。

【請求項6】 前記演算処理手段が、前記走査クロックと前記転送クロックとを入力とするAND演算処理手段であることを特徴とする請求項4又は請求項5に記載の固体撮像装置。

【請求項7】 前記演算処理手段が、前記走査クロックと前記転送クロックとを入力とするOR演算処理手段であることを特徴とする請求項4又は請求項5に記載の固体撮像装置。

【請求項8】 前記画素ブロックの複数の転送スイッチを前記複数の第一の転送スイッチとしたとき、前記演算処理手段が複数の第二の転送スイッチからなり、前記走査クロックが該複数の第二の転送スイッチのゲートに入力され、前記転送クロック入力が前記第二の転送スイッチを介して前記第一の転送スイッチに供給されることを特徴とする請求項4又は請求項5に記載の固体撮像装置。

【請求項9】 前記信号入力部をリセットするリセットスイッチを前記画素ブロックごとに一つ有するとともに、リセットクロック入力が入力され、前記走査クロックと前記リセットクロック入力を演算処理する演算処理手段を有し、演算処理した信号を前記リセットスイッチを駆動するクロックとして供給することを特徴とする請求項1記載の固体撮像装置。

【請求項10】 前記画素ブロックを選択するための選択スイッチを前記画素ブロックごとに一つ有するとともに、選択クロック入力が入力され、前記走査クロックと

前記選択クロック入力を演算処理する演算処理手段を有し、演算処理した信号を前記選択スイッチを駆動するクロックとして供給することを特徴とする請求項1記載の固体撮像装置。

【請求項11】 請求項1～10のいずれかの請求項に記載の固体撮像装置と、前記固体撮像装置へ光を結像する光学系と、前記固体撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする固体撮像システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、画像信号を得る固体撮像装置およびそれを用いた固体撮像システムに関し、特にCMOSコンパチブルXYアドレス型増幅型固体撮像装置およびそれを用いた固体撮像システムに関するものである。

## 【0002】

【従来の技術】従来、固体撮像装置としては光電変換を可能とする金属等の導電体と酸化物等の絶縁体と半導体からなるMOS構造を有し、光キャリアの移動方式でFET型とCCD型とに分けられる。この固体撮像装置は太陽電池、イメージカメラ、複写機、ファクシミリなどの種々の方面に使用され、技術的にも変換効率や集積密度の改良改善が図られている。このような固体撮像装置の一つに、CMOSプロセスコンパチブルのセンサ（以後、CMOSセンサという。）がある。このタイプのセンサはセンサはIEEE Transactions on Electron Device Vol. 41 pp452～453 1994などの文献で発表されている。また、CMOSセンサの別の例として、特開平9-46596号公報で画素の縮小化に好適でかつ画素信号の加算、非加算の切り替えが任意に行なえる例が開示されている。

## 【0003】

【発明が解決しようとする課題】しかしながら、上記従来例において、画素の縮小にともなって垂直走査回路のピッチも狭ピッチ化を図っていかなければ縮小化の十分な効果が得られない。

【0004】また、加算非加算の切り替え動作を効率よく行なう走査回路についても十分な検討がなされていない。

【0005】本発明は、上述した従来技術のCMOSセンサに好適な走査手段を提供し、より一層の縮小化および効率的な加算非加算動作を行なうことを目的とする。

## 【0006】

【課題を解決するための手段および作用】本発明は上記目的を達成するためになされたもので、複数の光電変換素子と、それぞれの光電変換素子に一端が接続された複数の転送スイッチと、該複数の転送スイッチのもう一端に共通接続された信号入力部と、該信号入力部に接続された増幅部とを有する画素ブロックを複数配置してなる

10

20

30

40

50

固体撮像装置において、前記画素ブロックごとに走査クロックを出力する走査手段を有することを特徴とする。

【0007】上記構成においては、走査手段の回路規模を簡略化し、面積も縮小できる。

【0008】また本発明の固体撮像システムは上記本発明の固体撮像装置を用いたものである。

【0009】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0010】【第一の実施例】図1は本発明の第一の実施例を示したものである。同図において、1-1、1-2はフォトダイオードなどの光電変換素子、5-1、5-2は転送スイッチMOSトランジスタ、4はリセット用MOSトランジスタ、2はソースフォロワアンプの入力MOSトランジスタ、3は垂直選択MOSトランジスタ、7はソースフォロワ負荷トランジスタ、8は暗出力転送MOSトランジスタ、9は明出力転送トランジスタ、10は暗出力蓄積容量、11は明出力蓄積容量、12-1、12-2はそれぞれ暗出力、明出力を転送するための水平転送MOSトランジスタ、13-1、13-2は水平出力線リセットMOSトランジスタ、14は差動出力アンプ、15は水平走査回路である。16は画素ブロックごとに1段ずつ配置された垂直走査手段、17は演算処理部であり本実施例ではANDゲートおよびNANDゲートで構成している。垂直走査手段16、演算処理部17を合わせて垂直走査回路を構成する。

【0011】図2に画素部の断面図を示す。同図において、201はP型ウエル、202はゲート酸化膜、203-1、203-2はポリSiなどで形成された転送MOSトランジスタのゲート電極、204は信号入力部となる $n^+$ フローティングディフュージョン(FD)部、205-1、205-2は光電変換部である。FD部204はそれぞれの転送MOSトランジスタ203-1、203-2を介して二つの光電変換部205-1、205-2と接続される。同図において、二つの転送MOSトランジスタ5-1、5-2のドレインとFD部204を共通化して微細化とFD部204の容量低減による感度向上を図っているが、2つの転送MOSトランジスタ5-1、5-2に対してそれぞれにドレインを設け、その間を金属配線で接続してFD部としてもよい。

【0012】次に図3のタイミングチャートを用いて動作を簡単に述べる。同図において、V1、V2は垂直走査手段16から順次出力される垂直走査タイミングクロック、 $\phi$ RESは演算処理部17に入力される外部リセットクロック、 $\phi$ SELは演算処理部17に入力される外部垂直選択クロック、 $\phi$ TX1、 $\phi$ TX2は同じく演算処理部17に入力される第一、第二の外部転送クロックである。

【0013】まず、転送スイッチ5、リセットスイッチ4をオンすることにより光電変換素子1をリセットする。次に転送スイッチ5をオフした後、蓄積動作にはい

る。蓄積時間終了時、垂直走査回路16からのタイミングクロックV1と $\phi$ SELのAND演算によって、時刻T0において垂直選択クロック $\phi$ sel1をハイとし、垂直選択MOSトランジスタ3をオンさせ、第一、第二ラインの画素に対応するソースフォロワアンプを動作させる。次に同様に垂直走査回路16からのタイミングクロックV1と $\phi$ RESのNAND演算によって、リセットクロック $\phi$ res1をロウとし、FD部204のリセットを止め、FD部204をフローティング状態とした後、時刻T1においてクロック $\phi$ TNをハイとしFD部204の暗電圧をソースフォロワ動作で蓄積容量CTN10に出力する。

【0014】次に第一ラインの画素の光電変換出力を行なうために時刻T2において垂直走査回路16からのタイミングクロックV1と $\phi$ TX1のAND演算によって、転送クロック $\phi$ tx11をハイとして転送MOSトランジスタ5を導通し、信号電荷をFD部204へ転送する。電荷が転送されることによりFD部204の電位が光に応じて変化することになる。時刻T3においてクロック $\phi$ TSをハイとしこのFD部204の電圧をソースフォロワ動作で蓄積容量CTS11に出力する。この時点で第一ラインの画素の暗出力、光出力はそれぞれ蓄積容量CTN10、CTS11に蓄積されており、時刻T4に水平出力線リセットクロック $\phi$ HCを一時ハイとして水平出力線をリセットし、水平転送期間において水平走査回路15の走査タイミング信号により水平出力線に画素の暗出力と光出力が出力される。この時、差動増幅器14によって二つの出力の差動出力Voutを取れば、画素のランダムノイズ、固定パターンノイズを除去したS/N比の良い信号が得られる。

【0015】第二ラインの信号読出しへの切り替えは、上記で説明した読み出しのシークエンスのうち外部転送クロック $\phi$ TX1の代わりに同じタイミングで転送クロック $\phi$ TX2をクロック動作させることで容易に切り替えを行ない出力することができる。

【0016】本実施例においては、第一、第二の二つのラインの画素列を制御する間に一度だけ垂直の走査タイミング信号を発生させることでセンサの読み出し動作を行なうことができる。従って、垂直走査手段の回路構成を簡略化できるので、画素の縮小に連動して走査手段の縮小ができ、小型の固体撮像装置を実現できるものである。

【0017】また本実施例では第一、第二ラインのどちらを読み出す際にも必要な、リセットクロック $\phi$ res、垂直選択クロック $\phi$ selを発生する回路は、第一、第二の二つのラインで一組の回路を設けそれを共用しているので、やはり回路規模を縮小し小型化に貢献している。

【0018】二画素の信号をFD部204上で加算して読み出す際も本実施例の回路構成を全く変えずに印加パルスのタイミングのみの変更で実現できる。上下2画素の加算の場合のタイミングチャートを図4に示す。非加

10

20

30

40

50

算モードの図3では転送クロック $\phi_{tx11}$ と $\phi_{tx21}$ のタイミングを1ライン分ずらしていたが、加算の場合は同じタイミングになる。すなわち光電変換素子1-1、1-2から同時に読み出すために、まずクロック $\phi_{TN}$ をハイとして垂直出力線からノイズ成分を読み出し次に転送クロック $\phi_{tx11}$ と $\phi_{tx21}$ をそれぞれ同時にハイ、ロウとしてFD部204に転送する。これにより同時刻に上下二つの光電変換素子1の信号をFD部204で加算することが可能となる。

【0019】本実施例では外部転送クロック $\phi_{TX1}$ 、 $\phi_{TX2}$ のタイミングを変更するだけで容易にこの機能を実現できるものである。

【0020】本実施例中の演算処理部17はANDゲートとNANDゲートで構成した場合を例にとって説明したがこれに限るものではない。

【0021】図11に演算処理部をORゲートおよびNORゲートで構成した場合の本実施例の構成例を示す。図12は本構成例の場合の動作タイミングチャートである。本構成例でも、垂直走査タイミングクロックとクロック $\phi_{RES}$ 、 $\phi_{SEL}$ 、 $\phi_{TX1}$ 、 $\phi_{TX2}$ を演算処理部で演算処理することで所望のクロックを発生させることができる。また本構成例で示した画素部構成の場合は、ANDゲートおよびNANDゲートで構成したときよりORゲートおよびNORゲートで構成した方がさらにゲートを構成するトランジスタ数を削減でき、さらに回路規模を簡略化できるものである。

【0022】【第二の実施例】図5に本発明による第二実施例の模式説明図を示す。本実施例はY方向4画素を1画素ブロックにした例で、4画素に対し一段の垂直走査手段16を設けたことを特徴とする。

【0023】本実施例においては、第一～第四の四つのラインの画素列を制御する間に一度だけ垂直の走査タイミング信号を発生させることでセンサの読み出し動作を行なうことができるので、前記実施例にくらべ垂直走査手段の回路構成をさらに簡略化できるので、画素の縮小に連動して走査手段の縮小ができ、より小型の固体撮像装置を実現できるものである。

【0024】また同様にリセットクロック $\phi_{res}$ 、垂直選択クロック $\phi_{sel}$ を発生する回路は、第一～第四の四つのラインで一組の回路を設けそれを共用しているので、やはり回路規模を縮小することができる。

【0025】勿論、Y方向4画素の信号をFD部204上で任意の組み合わせで加算して読み出す際も本実施例の回路構成を全く変えずに印加パルスのタイミングのみの変更で容易に実現できる。

【0026】【第三の実施例】図6に本発明による第三実施例の模式説明図を示す。本実施例は演算処理部17をトランスファゲート601とスイッチMOSトランジスタ602で構成した実施例である。603はインバータであり、垂直走査タイミングクロックの反転信号を

生成する。

【0027】本実施例の動作を図3のタイミングチャートを用いて説明する。まず上記第一の実施例と同様に光電変換素子をリセットした後蓄積動作に入る。蓄積時間終了時、垂直走査手段16からのタイミング出力V1をハイにすることによってトランスファゲート601-1～601-4をオンする。外部クロック $\phi_{SEL}$ 、 $\phi_{RES}$ 、 $\phi_{TX1}$ 、 $\phi_{TX2}$ はトランスファゲート601-1～601-4を介して画素部に伝えられ、実施例1で説明したのと同様のタイミングで各画素を動作させるクロックとして働く。第一、第二ラインの信号を読み出した後、垂直走査タイミングクロックV1はロウになるのでスイッチMOSトランジスタ602がオンして第一、第二ラインに対応する垂直選択MOSトランジスタ3のゲートおよび転送MOSトランジスタ5のゲートはオフする電位に固定される。またリセットMOSトランジスタ4のゲートはオンする電位に固定される。

【0028】本実施例においても上記第一、第二の実施例と同様の効果が得られることはいうまでもない。またさらに、本実施例では演算処理部17の回路規模を実施例1、2よりさらに縮小することができるものである。また、本実施例では、外部クロックがトランスファゲート601を介して直接画素部トランジスタのゲートに伝えられるので、クロックの振幅が実施例1、2ではロジックゲートの電源電圧で一意に決定されていたのに対し、入力する外部クロックの振幅を変えることで自由にクロックの振幅を変化させることができる。たとえば、転送MOSトランジスタのオフ時のゲート電圧を蓄積期間中にMOSの閾値電圧よりやや高めに設定しておくことで、強い光が光電変換素子1に入射した時に発生した過剰電荷を転送MOSトランジスタおよびリセットMOSトランジスタを通して電源VDDに捨てる、横型オーバーフローレイン動作を行なうこともできる。

【0029】【第四の実施例】図7に本発明による第四実施例の模式説明図を示す。本実施例は外部クロックの入力部と演算処理部の間にデコーダ回路701を設け、外部より入力するクロック数の削減を図ったものである。

【0030】図8にデコーダ回路を、図9にその動作タイミングチャートを示す。同図に示すように外部クロック $\phi_{TX}$ はデコーダクロック $\phi_{DEC1}$ 、 $\phi_{DEC2}$ がハイかロウかに応じて $\phi_{TX1}$ ～ $\phi_{TX4}$ のいずれかに振り分けられ出力される。出力された $\phi_{TX1}$ ～ $\phi_{TX4}$ と垂直走査タイミングクロックとのAND演算によって転送クロックを生成する。

【0031】本実施例では、デコーダ回路701を設けたことで外部クロックの数を実施例2と比較して一つ減らすことができる。本実施例はY方向4画素を1画素ブロックにした例であるが、たとえば8画素を1画素ブロックにした場合、実施例2では外部転送クロックは8ク

ロック必要だが、本実施例では一つの外部転送クロックと三つのデコーダクロックの計四つで同様の動作を実現することができるものである。

【0032】そのため、外部クロックを削減することができ、本固体撮像装置の制御が容易になる、クロック配線を敷設する面積を縮小することができるといった新たな効果を得ることができる。

【0033】上記第一～第四の実施例の走査手段はシフトレジスタ回路を用いても良いし、デコーダ回路を用いても良い。シフトレジスタ回路はデコーダ回路に比べ回路規模をより縮小することができる。また、デコーダ回路はシフトレジスタ回路に比べ、画素列を選択する順序を自由に選ぶことができ、さまざまな信号読み出し順を実現することができる。

【0034】図10に撮像システム概略図を示す。同図に示すように、光学系71、絞り80を通して入射した画像光はCMOSセンサ72上に結像する。CMOSセンサ72上に配置されている画素アレーによって光情報は電気信号へと変換され、ノイズ除去されて出力される。その出力信号は信号処理回路73によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。絞り80、CMOSセンサ72、信号処理回路73はタイミング制御回路75により制御され、光学系71、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御される。

【0035】

【発明の効果】以上説明したように、本発明によれば周辺回路を縮小した固体撮像装置を実現できるため、小型化、収量アップによる低コスト化、パッケージの小型化、光学系の小型化、外部制御回路の簡略化といった効果が得られる。

【図面の簡単な説明】

【図1】本発明の第一の実施例の模式説明図である。

【図2】本発明の第一の実施例の画素部断面図である。

【図3】本発明の第一の実施例の第一のタイミングチャートである。

【図4】本発明の第一の実施例の第二のタイミングチャートである。

【図5】本発明の第二の実施例の模式説明図である。

【図6】本発明の第三の実施例の模式説明図である。

【図7】本発明の第四の実施例の模式説明図である。

【図8】デコーダ回路の回路構成図である。

【図9】デコーダ回路の動作タイミングチャートである。

【図10】本発明による撮像システム概略を示す図である。

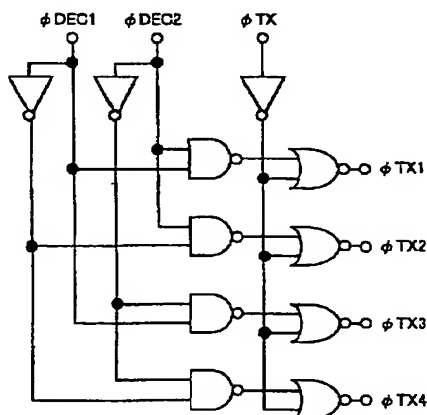
【図11】演算処理部をORゲートおよびNORゲートで構成した場合の構成例を示す図である。

【図12】図11の構成例の動作タイミングチャートである。

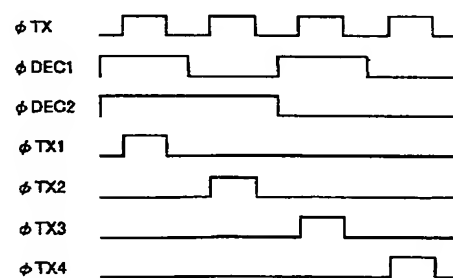
【符号の説明】

- 1 光電変換素子
- 2 ソースフォロワ入力MOSトランジスタ
- 3 垂直選択MOSトランジスタ
- 4 リセット用MOSトランジスタ
- 5 転送スイッチMOSトランジスタ
- 7 ソースフォロア負荷トランジスタ
- 8 暗出力転送MOSトランジスタ
- 9 明出力転送トランジスタ
- 10 暗出力蓄積容量
- 11 明出力蓄積容量
- 12 水平転送MOSトランジスタ
- 13 水平出力線リセットMOSトランジスタ
- 14 差動出力アンプ
- 15 水平走査回路
- 16 垂直走査手段
- 17 演算処理部

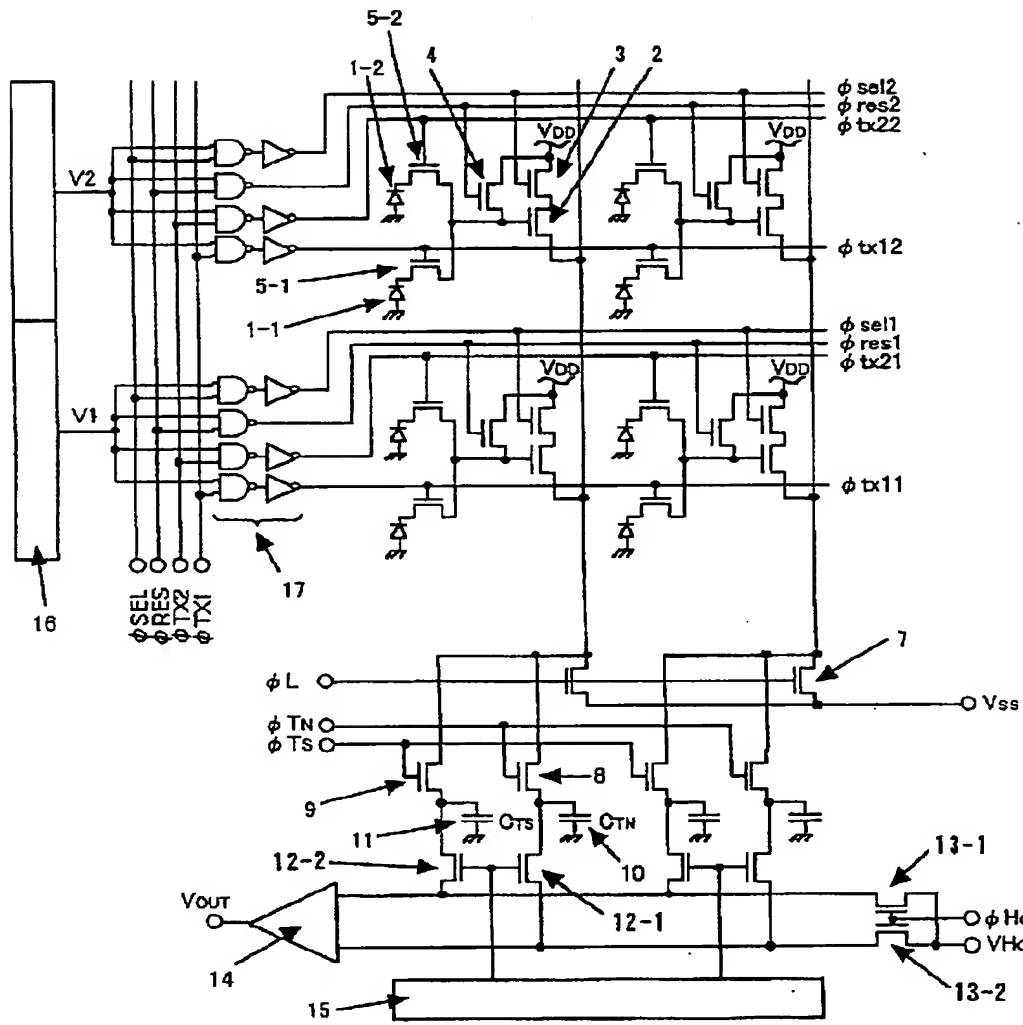
【図8】



【図9】

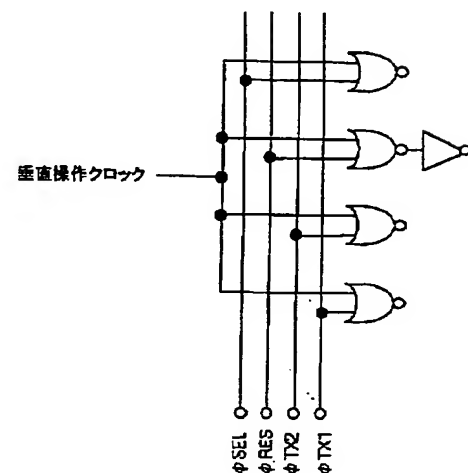
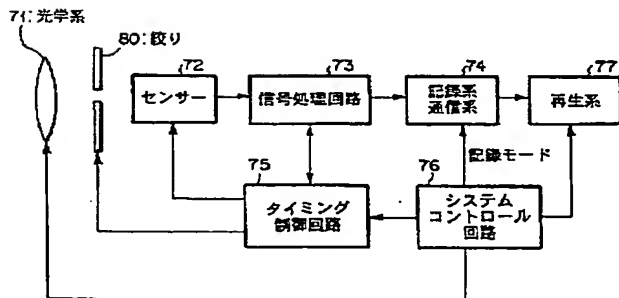


【図1】

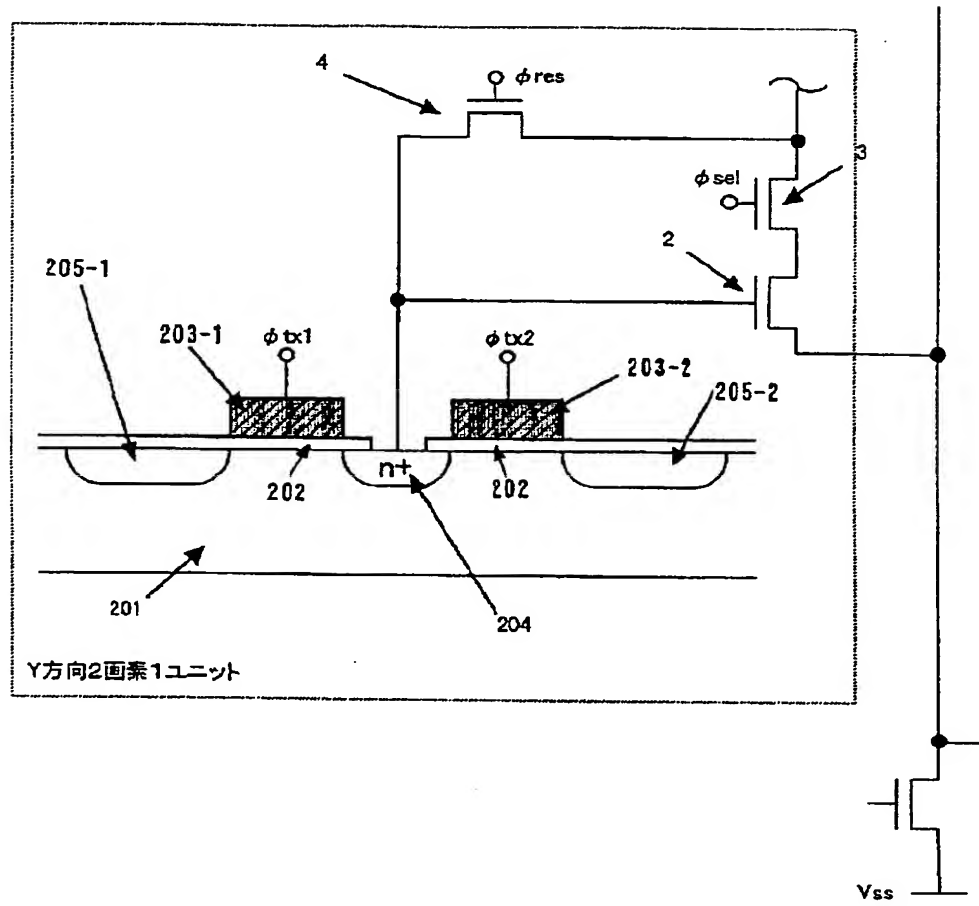


【図10】

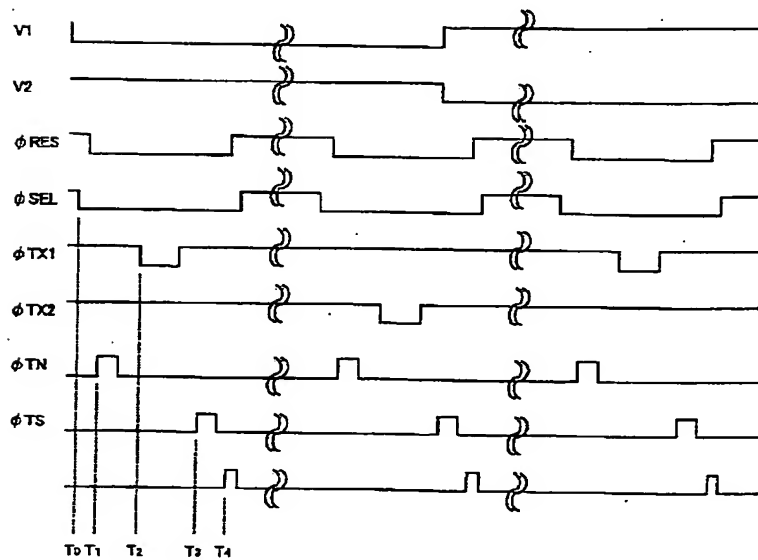
【図11】



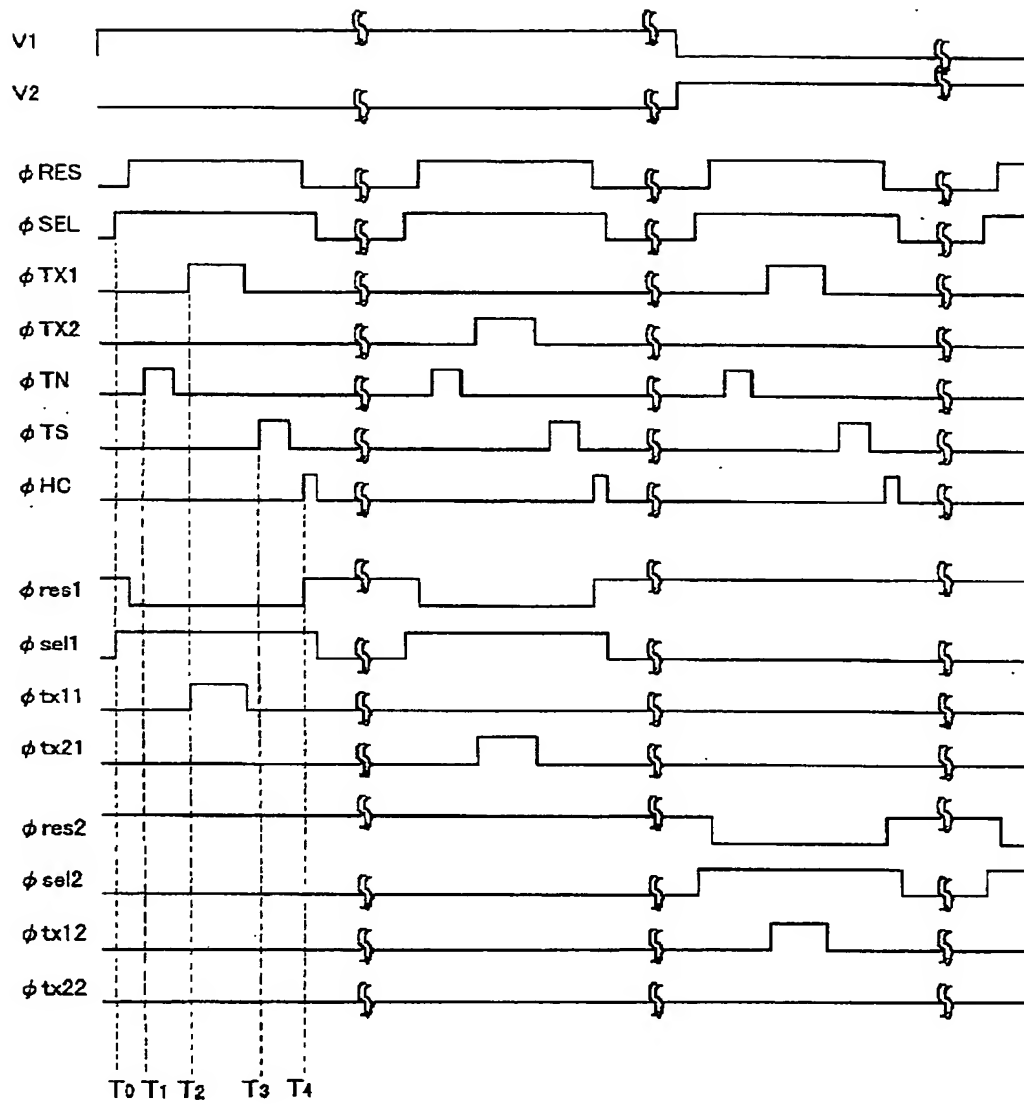
【図2】



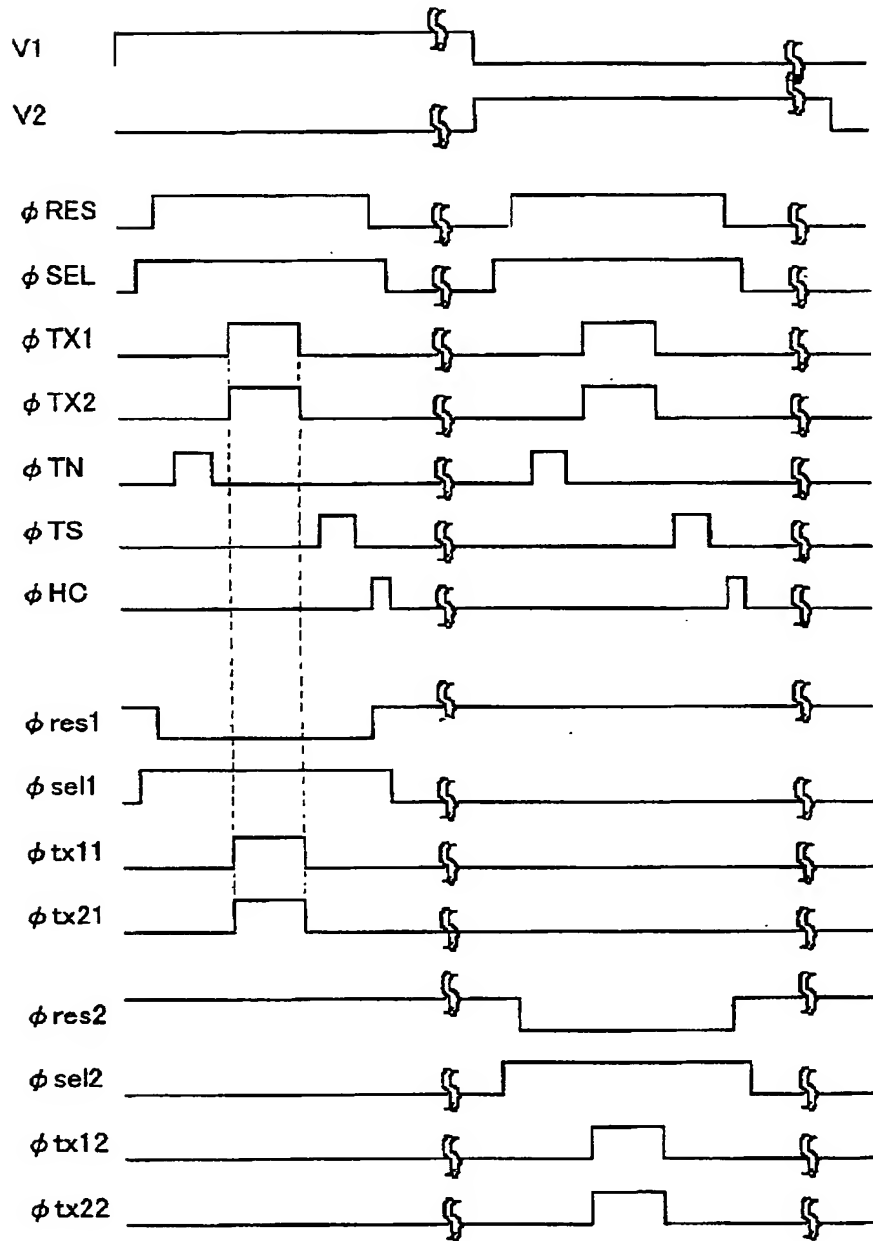
【図12】



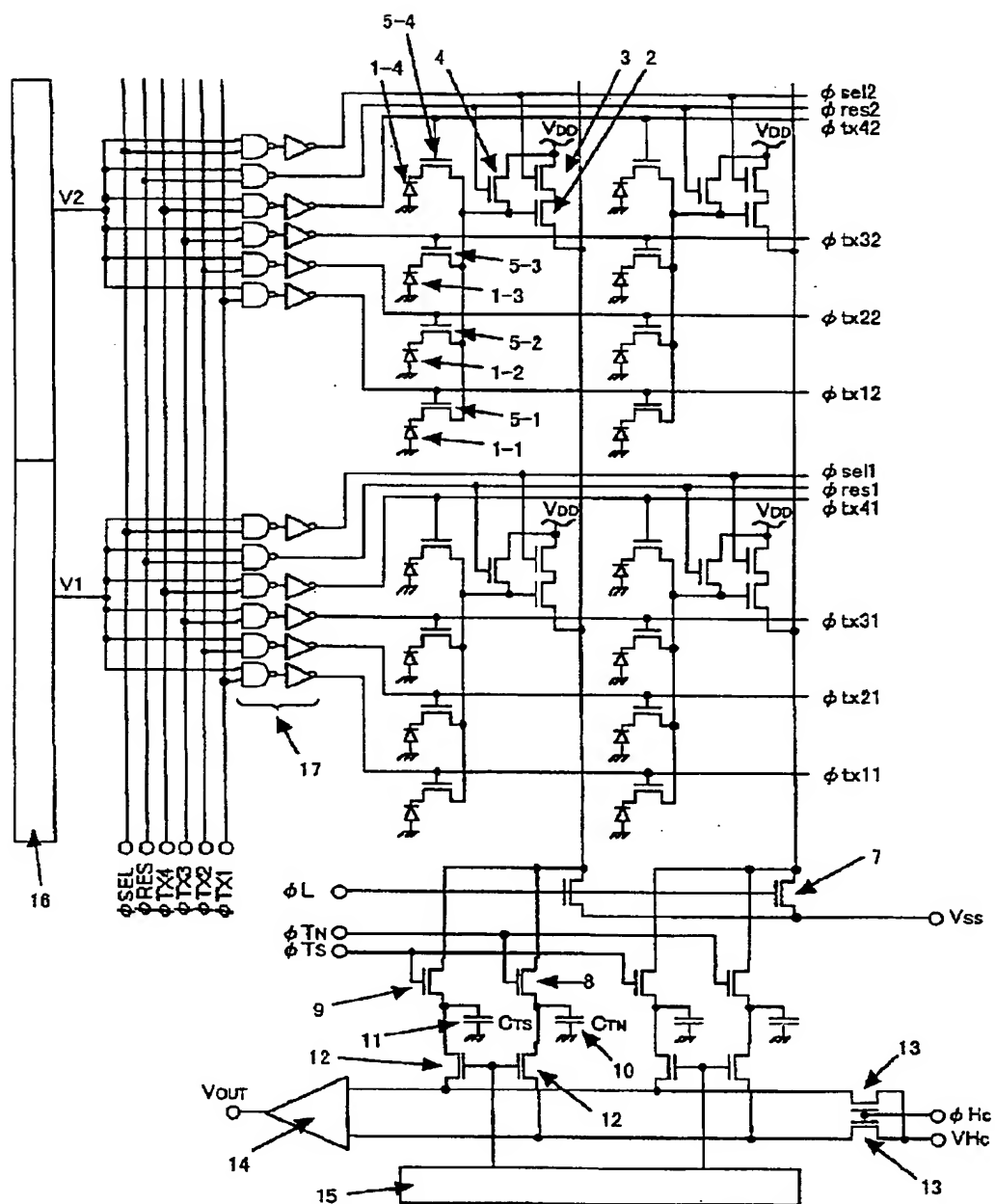
【図3】



【図4】



【図5】



【図6】

